

Attorney Docket No. 1504.1020

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Toshihiro KAWAKAMI, et al.

Application No.:

Group Art Unit:

Filed: July 8, 2003

Examiner:

For: DATA TRANSFER CONTROLLER WITH DATA PRE-FETCHING FUNCTION

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2002-210198

Filed: July 18, 2002

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: July 8, 2003

By: 

H. J. Staas
Registration No. 22,010

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月18日

出願番号

Application Number:

特願2002-210198

[ST.10/C]:

[JP2002-210198]

出願人

Applicant(s):

富士通株式会社

富士通周辺機株式会社

2002年12月 3日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3095644

【書類名】 特許願
【整理番号】 0295270
【提出日】 平成14年 7月18日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 13/36
【発明の名称】 データ転送制御装置およびデータ転送制御方法
【請求項の数】 5
【発明者】
【住所又は居所】 兵庫県加東郡社町佐保35番 富士通周辺機株式会社内
【氏名】 川上 俊浩
【発明者】
【住所又は居所】 兵庫県加東郡社町佐保35番 富士通周辺機株式会社内
【氏名】 藤戸 肇
【発明者】
【住所又は居所】 兵庫県加東郡社町佐保35番 富士通周辺機株式会社内
【氏名】 大亀 伸一
【発明者】
【住所又は居所】 兵庫県加東郡社町佐保35番 富士通周辺機株式会社内
【氏名】 生友 得雄
【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社
【特許出願人】
【識別番号】 592019877
【氏名又は名称】 富士通周辺機株式会社
【代理人】
【識別番号】 100086380
【弁理士】
【氏名又は名称】 吉田 稔

【選任した代理人】

【識別番号】 100103078

【弁理士】

【氏名又は名称】 田中 達也

【選任した代理人】

【識別番号】 100105832

【弁理士】

【氏名又は名称】 福元 義和

【連絡先】 06-6764-6664

【手数料の表示】

【予納台帳番号】 024198

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9807281

【包括委任状番号】 9808236

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ転送制御装置およびデータ転送制御方法

【特許請求の範囲】

【請求項1】 データ転送レートの異なる高速バスと低速バスとを接続し、これらのバス間でデータを受け渡しするデータ転送制御装置であって、

前記低速バス上の周辺デバイスに割り当てられたアドレスを保持するアドレス保持手段と、

前記アドレス保持手段のアドレスを指定し、前記周辺デバイスから周期的にデータを読み出してバッファに確保しておくプリフェッチ手段と、

前記高速バス上からの前記周辺デバイスに対するリードアクセスに伴い、前記アドレス保持手段のアドレスと同一のアドレスが指定された場合、そのアドレスに基づき前記プリフェッチ手段により先読みされることで前記バッファに確保されたデータを前記高速バス上に送り返す直接応答手段と、

を備えたことを特徴とする、データ転送制御装置。

【請求項2】 前記アドレス保持手段には、比較的アクセス頻度の高いアドレスが保持される、請求項1に記載のデータ転送制御装置。

【請求項3】 前記高速および低速バスは、コンピュータ内部のバスである、請求項1または2に記載のデータ転送制御装置。

【請求項4】 前記高速バスは、コンピュータ内部のバスである一方、前記低速バスは、前記周辺デバイスを前記コンピュータに外部接続するためのケーブルである、請求項1または2に記載のデータ転送制御装置。

【請求項5】 データ転送レートの異なる高速バスと低速バスとを接続し、これらのバス間でデータを受け渡しするためのデータ転送制御方法であって、

前記低速バス上の周辺デバイスに割り当てられたアドレスをアドレスレジスタに保持するとともに、そのアドレスを指定して前記周辺デバイスから周期的にデータを読み出してバッファに確保しておくプリフェッチプロセスと、

前記高速バス上からの前記周辺デバイスに対するリードアクセスに伴い、前記アドレスレジスタのアドレスと同一のアドレスが指定された場合、そのアドレスに基づき前記プリフェッチプロセスにより先読みされることで前記バッファに確

保されたデータを前記高速バス上に送り返す直接応答プロセスと、
を実行することを特徴とする、データ転送制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、たとえばコンピュータ内部のデータ転送レートの異なるバス同士を接続するバスブリッジや、コンピュータ内部のバスと外部機器接続用のケーブルとを接続するI/Oコントローラなどのデータ転送制御装置、およびデータ転送制御方法に関する。

【0002】

【従来の技術】

たとえばパーソナルコンピュータのマザーボードには、CPUとメモリとを接続するFSB (Front Side Bus) のほか、比較的データ転送レートの高いPCI (Peripheral Component Interconnect) バスや、データ転送レートの低いISA (Industry Standard Architecture) バスなどが配線されている。FSBとPCIバスとの間には、双方向にデータや制御信号などを効率良く変換して受け渡しする機能を備えたホストブリッジが接続され、PCIバスとISAバスとの間には、ホストブリッジと同様の機能を備えたPCI/ISAブリッジが接続されている。

【0003】

上記バスを介した従来のデータのやり取りは、一般に以下のようにして行われる。

【0004】

たとえばCPUからISAバス上のISAデバイスに対してデータ（制御上やり取りされる制御データ）の読み出し命令（以下、「リードアクセス」と称する）を行う際には、まず最初にCPUがバスマスターとなってFSBを占有する。FSBを占有したCPUは、目的のデータが所在するISAデバイス内の制御レジスタに割り当てられたアドレス（I/Oポートアドレス）とリードアクセス信号とをFSB上に送出する。次に、FSBを通じてアドレスとリードアクセス信号

とを受けたホストブリッジがバスマスターとなってPCIバスを占有し、受け取ったアドレスとリードアクセス信号とをPCIバスのバスサイクルに対応するよう変換してPCIバス上に送出する。さらに、PCIバスを通じてアドレスとリードアクセス信号とを受けたPCI/ISAブリッジが次にバスマスターとなってISAバスを占有し、受け取ったアドレスとリードアクセス信号とをISAバスのバスサイクルに対応するよう変換してISAバス上に送出する。

【0005】

これにより、アドレスの指定先となるISAデバイスの制御レジスタからデータが読み出され、このデータがISAバスを通じてPCI/ISAブリッジに送り返される。データを受けたPCI/ISAブリッジは、そのデータをPCIバスを通じてホストブリッジに送り返し、さらにホストブリッジがFSBを通じてCPUにデータを送り返すことで一通りのリードアクセスが完了とされる。

【0006】

【発明が解決しようとする課題】

しかしながら、上記した従来のデータのやり取りでは、FSBとPCIバスとの間やPCIバスとISAバスとの間において、バスマスターが目的とするデータをISAデバイスから受けるまではデータ転送レートの低い下位側のバスが占有状態とされてしまう。言い換えれば、バスマスターとしての各ブリッジの制御によりデータ転送レートの低い方のバスが解放されない限りは高い方のバスが解放されず、高速側のバスからしてみれば占有時間が長引いてしまっていた。そのため、データ転送レートの異なる複数のバスを経由してデータを転送する限りは、ある程度のレイテンシ（デバイスに対してアクセスを行い、そのデバイスから結果が返ってくるまでの遅延時間）を認めざるを得ず、リードアクセスの際のデータ転送速度にある程度の限界があった。

【0007】

【発明の開示】

そこで、本発明は、上記した事情のもとで考え出されたものであって、バス全体にわたるレイテンシをできる限り小さくし、データ転送速度を向上させることができるデータ転送制御装置、およびデータ転送制御方法を提供することを、そ

の課題としている。

【0008】

上記課題を解決するため、本発明では、次の技術的手段を講じている。

【0009】

本発明の第1の側面によるデータ転送制御装置は、データ転送レートの異なる高速バスと低速バスとを接続し、これらのバス間でデータを受け渡しするデータ転送制御装置であって、低速バス上の周辺デバイスに割り当てられたアドレスを保持するアドレス保持手段と、アドレス保持手段のアドレスを指定し、周辺デバイスから周期的にデータを読み出してバッファに確保しておくプリフェッチ手段と、高速バス上からの周辺デバイスに対するリードアクセスに伴い、アドレス保持手段のアドレスと同一のアドレスが指定された場合、そのアドレスに基づきプリフェッチ手段により先読みされることでバッファに確保されたデータを高速バス上に送り返す直接応答手段とを備えたことを特徴としている。

【0010】

ここで、アドレス保持手段には、比較的アクセス頻度の高いアドレスが保持される構成とするのが好ましい。

【0011】

好ましい実施の形態としては、高速および低速バスは、コンピュータ内部のバスである構成とすることができます。この場合、データ転送制御装置は、コンピュータ内部のデータ転送レートの異なるバス同士を接続するバスブリッジとして機能する。

【0012】

また、他の好ましい実施の形態としては、高速バスは、コンピュータ内部のバスである一方、低速バスは、周辺デバイスをコンピュータに外部接続するためのケーブルである構成とすることができます。この場合、データ転送制御装置は、コンピュータ内部のバスとたとえばプリンタケーブルとを接続するI/Oコントローラとして機能する。

【0013】

本発明の第2の側面によるデータ転送制御方法は、データ転送レートの異なる

高速バスと低速バスとを接続し、これらのバス間でデータを受け渡しするためのデータ転送制御方法であって、低速バス上の周辺デバイスに割り当てられたアドレスをアドレスレジスタに保持するとともに、そのアドレスを指定して周辺デバイスから周期的にデータを読み出してバッファに確保しておくプリフェッチプロセスと、高速バス上からの周辺デバイスに対するリードアクセスに伴い、アドレスレジスタのアドレスと同一のアドレスが指定された場合、そのアドレスに基づきプリフェッチプロセスにより先読みされることでバッファに確保されたデータを高速バス上に送り返す直接応答プロセスとを実行することを特徴としている。

【0014】

本発明によれば、たとえばコンピュータ内部の高速バス上から低速バス上の周辺デバイスに対してリードアクセスがなされ、その際に指定されたアドレスに基づき周辺デバイスのデータが事前にプリフェッチされている場合、周辺デバイスとの間で低速バスを介してリードアクセスやデータ転送が行われことはなく、プリフェッチ済みのデータが高速バス上に送り返される。つまり、高速バスと低速バスとの間で目的とするデータがすでに得られていれば、そのデータがレスポンスとして即座に返され、その分、低速バスを介してデータなどがやり取りされることなく高速バスが早期に解放されるので、バス全体にわたるレイテンシをできる限り小さくすることができ、データ転送速度を向上させることができる。

【0015】

特に、比較的アクセス頻度の高いアドレスをアドレス保持手段としてのアドレスレジスタなどに保持しておくようすれば、周辺デバイスに対するリードアクセスの際には、プリフェッチ済みのデータに対するヒット率を高めることができるので、アクセスパターンの局所性を活かしてもデータ転送速度を向上させることができる。

【0016】

本発明のその他の特徴および利点は、図面を参照して以下に行う詳細な説明から、より明らかとなるであろう。

【0017】

【発明の実施の形態】

以下、本発明の好ましい実施の形態について、図面を参照して具体的に説明する。

【0018】

図1は、本発明のデータ転送制御装置を含む一例としてのバス構成図である。たとえばパーソナルコンピュータの本体に内蔵されたマザーボードには、図1に示すようにCPU1とメモリ2とを接続するFSB10のほか、PCIバス20やISAバス30などが配線されている。FSB10とPCIバス20との間には、双方向からのデータなどを効率良く受け渡しするデータ転送制御機能を備えたホストブリッジ3が接続され、PCIバス20とISAバス30との間には、ホストブリッジ3と同様の機能を備えたPCI/ISAブリッジ4が接続されている。PCIバス20には、PCIデバイス5が接続され、ISAバス30には、ISAデバイス6が接続されている。これらのうち、ホストブリッジ3およびPCI/ISAブリッジ4のそれぞれが本発明に係るデータ転送制御装置に相当する。ちなみに、パーソナルコンピュータの分野では、一般にホストブリッジ3はノースブリッジと呼ばれ、PCI/ISAブリッジ4はサウスブリッジと呼ばれている。

【0019】

まず、バスについて具体的に説明すると、FSB10は、マザーボード上のベースクロック（動作周波数）に合わせてデータやアドレスなどを双方向に伝送するパラレル伝送路であり、リード/ライトアクセス信号などの制御信号用のコントロールバス11、アドレス専用のアドレスバス12、およびデータ専用のデータバス13からなる。このFSB10では、たとえばバスロック（ベースクロックに一致）が100～200MHz、最大データ転送速度が2GByte/s程度とされる。

【0020】

PCIバス20は、PCIデバイス5とホストブリッジ3やPCI/ISAブリッジ4との間でデータやアドレスなどを双方向に伝送するパラレル伝送路であり、リード/ライトアクセス信号などの制御信号用のコントロールバス21と、アドレス/データ共用のアドレス/データバス22からなる。このPCIバス2

0では、たとえばアドレス／データバス22のバス幅が32ビット、最大バスクロックが33MHz、最大データ転送速度が132MByte/sとされる。

【0021】

ISAバス30は、ISAデバイス6とPCI/ISAブリッジ4との間でデータやアドレスなどを双方向に伝送するパラレル伝送路であり、リード／ライトアクセス信号などの制御信号用のコントロールバス31、アドレス専用のアドレスバス32、およびデータ専用のデータバス33からなる。このISAバス30では、たとえばアドレスバス32およびデータバス33のバス幅がそれぞれ24ビットおよび16ビット、最大バスクロックが8MHz、最大データ転送速度が4MBYTE/sとされる。

【0022】

すなわち、データ転送レートについては、FSB10>PCIバス20>ISAバス30の関係が成立し、ISAバス30よりもPCIバス20、PCIバス20よりもFSB10の方が高速とされる。

【0023】

CPU1は、周辺デバイスとしてのメモリ2やPCIデバイス5、ISAデバイス6に対してデータ（制御上やり取りされる制御データを含む）を読み書きする。その際、CPU1は、バスマスタとしてFSB10を占有し、リード／ライトアクセス信号をFSB10のコントロールバス11上に送出する。同時にCPU1は、ターゲットとなる周辺デバイス2, 5, 6上のデータ位置を示すアドレスを指定し、そのアドレスをFSB10のアドレスバス12上に送出する。ちなみに、メモリ2に対するリード／ライトアクセスの際には、メモリ2に割り当てられたメモリアドレスがCPU1により指定されるが、PCIデバイス5やISAデバイス6に対するリード／ライトアクセスの際には、各デバイス5, 6に割り当てられたI/Oポートアドレスが指定される。このようなリード／ライトアクセス信号は、リード／ライトサイクルとも呼ばれる。

【0024】

メモリ2は、アドレスが割り振られた領域（アドレス領域）にデータを格納しており、CPU1などからアドレスが指定されると、それに応じたアドレス領域

のデータを出力したり、アドレス領域に対してデータを書き込む。

【0025】

PCIデバイス5は、たとえばIDE (Integrated Device Electronics) ハードディスクドライブ、NIC (Network Interface Card)、SCSI (Small Computer System Interface) デバイス、グラフィックス・アクセラレータなどであり、メモリ2よりもデータ入出力速度が遅いが比較的高速な部類に属するものである。図1には簡略化して1つのPCIデバイス5しか示さないが、PCIデバイス5には、PCIバス20上の図示しない拡張コネクタにライザカードとして装着されるタイプと、図示しないI/Oコントローラを介してPCIバス20に接続されるタイプとがあり、これらのタイプがPCIバス20上に混在して接続されている。このようなPCIデバイス5自体には、制御用のマイクロコンピュータや周辺回路とともに制御レジスタが組み込まれており、この制御レジスタにI/Oポートアドレスが割り当てられている。

【0026】

ISAデバイス6は、たとえばFDD (Flexible Disk Drive)、RS-232Cデバイス、プリンタ、キーボードなどであり、データ入出力速度に関してPCIデバイス5よりも低速となる部類に属するものである。図1には簡略化して1つのISAデバイス6しか示さないが、ISAデバイス6には、ISAバス30上の図示しない拡張コネクタにライザカードとして装着されるタイプと、図示しないI/Oコントローラを介してISAバス30に接続されるタイプとがあり、これらのタイプがISAバス30上に混在して接続されている。このようなISAデバイス6自体には、制御用のマイクロコンピュータや周辺回路とともに制御レジスタが組み込まれており、この制御レジスタにI/Oポートアドレスが割り当てられている。

【0027】

次に、要部となるPCI/ISAブリッジ4について具体的に説示する。なお、ホストブリッジ3は、PCI/ISAブリッジ4と接続対象となるバスが相違する以外は同様の構成からなるため、便宜上ホストブリッジ3についての説明を割愛する。

【0028】

図2は、PCI/ISAブリッジ4の内部構成を示すブロック図である。この図に示すように、PCI/ISAブリッジ4は、制御コア回路40、アドレスレジスタ41、アドレス比較回路42、アドレスジェネレータ43、タイマクロックジェネレータ44、データバストランシーバ回路45、およびデータバッファ46などにより構成されている。特に図2には示さないが、上位バスとなるPCIバス20は、コントロールバス21が制御コア回路40に接続され、アドレス/データバス22がアドレス比較回路42、データバストランシーバ回路45、およびデータバッファ46に接続されている。また、下位バスとなるISAバス30は、コントロールバス31が制御コア回路40、アドレスバス32がアドレスジェネレータ43、データバス33がデータバストランシーバ回路45およびデータバッファ46に接続されている。このようなPCI/ISAブリッジ4は、下位側のISAバス30に対してバスマスターとなり得るものである。

【0029】

制御コア回路40は、PCI/ISAブリッジ4全体の動作を制御する。たとえば制御コア回路40は、ISAデバイス6に対するリード/ライトアクセス信号をPCIバス20のコントロールバス21から受けると、そのリード/ライトアクセス信号をISAバス30のバスサイクルに応じたリード/ライトアクセス信号に変換してISAバス30のコントロールバス31に送り出す。また、制御コア回路40は、アドレスレジスタ41やデータバッファ46を用いてISAデバイス6から事前にデータを読み出しておくといったプリフェッチ機能を備える。

【0030】

アドレスレジスタ41には、設計段階などでISAバス30上のISAデバイス6に対するアクセスパターンのシミュレーションを行い、これによりアクセス頻度がある程度高いとの推測結果が得られた、たとえばFDD、RS-232Cデバイス、プリンタ、キーボードなどのI/Oポートアドレスが予め保持されている。以下の説明では、アドレスレジスタ41に保持されているアドレスを、特に「プリセットアドレス」と呼ぶ。

【0031】

アドレス比較回路42は、PCIバス20のアドレス／データバス22から受けたアドレスとアドレスレジスタ41のプリセットアドレスとを比較する。これらのアドレスを比較した結果は、アドレス比較回路42から制御コア回路40に対して通知される。

【0032】

アドレスレジスタ43は、制御コア回路40からの指令に応じてPCIバス20のアドレス／データバス22から受けたアドレスや、アドレスレジスタ41のプリセットアドレスに対応するアドレスを生成し、ISAバス30のバスサイクルに応じたアドレスとしてISAバス30のアドレスバス31に送り出す。

【0033】

タイマクロックジェネレータ44は、制御コア回路40がプリフェッチ機能を周期的に実行するためのタイマロック信号を生成し、このタイマロック信号を制御コア回路40に供給する。タイマロック信号を受けた制御コア回路40は、タイマロック信号に基づくタイミングでアドレスジェネレータ43に指令を送り、これによりアドレスジェネレータ43を介してアドレスレジスタ41のプリセットアドレスが周期的にISAバス30のアドレスバス31に送り出される。

【0034】

データバストランシーバ回路45は、上位バスとなるPCIバス20のアドレス／データバス22から受けたデータを、ISAバス30などのバスサイクルに応じたデータに変換してデータバス33上に送り出す。逆に、データバストランシーバ回路45は、下位バスとなるISAバス30などのデータバス33から受けたデータを、PCIバス20のバスサイクルに応じたデータに変換してアドレス／データバス22上に送り出す。

【0035】

データバッファ46には、制御コア回路40のプリフェッチ機能によりISAデバイス6の制御レジスタから読み出されたデータが一時的に保存される。このデータバッファ46に保存されたデータは、PCIバス20を通じて指定された

アドレスとアドレスレジスタ41のプリセットアドレスとが一致する場合、制御コア回路40の制御に応じてPCIバス20のアドレス/データバス22上に送り出される。

【0036】

次に、PCI/ISAブリッジ4の動作について図3および図4を参照して説明する。

【0037】

図3および図4は、PCI/ISAブリッジ4の動作を模式的に説明するための模式図である。まず、図3の(a)に示すように、PCI/ISAブリッジ4は、CPU1などからのリード/ライトアクセスがないとき、下位バスとなるISAバス30を占有して周期的にプリフェッチ機能を実行している。具体的に言うと、PCI/ISAブリッジ4の制御コア回路40は、タイマクロック信号に基づく周期的なタイミングでリードアクセス信号をISAバス30上に送り出し、同時にアドレスレジスタ41のプリセットアドレスをISAバス30上に送り出す。たとえば、図3の(a)に一例として示すように、ISAバス30に接続されたISAデバイス6としてのFDD6A、RS-232Cデバイス6B、プリンタ6Cに割り当てられた各アドレスが、「0x0a00」、「0x0b00」、「0x0c00」のプリセットアドレスとしてアドレスレジスタ41に保持されている場合、各プリセットアドレスを順に指定してリードアクセス信号が各デバイス6A～6Cに送られる。

【0038】

リードアクセス信号を受けた各デバイス6A～6Cでは、指定されたプリセットアドレスに対応する制御レジスタからデータが読み出されるとともに、そのデータがISAバス30を介してPCI/ISAブリッジ4に送られる。PCI/ISAブリッジ4では、各デバイス6A～6Cから送られてきたデータが次にプリセットアドレスが指定されるまでデータバッファ46に保存される。たとえば、図3の(a)に一例として示すように、FDD6A、RS-232Cデバイス6B、プリンタ6Cからは、「データ0a」、「データ0b」、「データ0c」が周期的に読み出され、これらのデータがデータバッファ46に取り込まれる。

このような一連の動作を繰り返すことでプリフェッチ機能が定期的に実行されている。

【0039】

以上のようなプリフェッチ機能の実行中、たとえば図3の(b1)に示すように、CPU1から特定のISAデバイス6(一例としてFDD6A)に対するリードアクセスが生じると、CPU1がまずFSB10を占有してFSB10上にリードアクセス信号およびアドレスを送出する。CPU1により送出されたリードアクセス信号およびアドレスは、FSB10を介してホストブリッジ3に受け取られる。このときのアドレスは、FDD6Aに割り当てられた「0x0a00」とする。

【0040】

FSB10を通じてリードアクセス信号およびアドレスを受けたホストブリッジ3は、図3の(b2)に示すように、PCIバス20を占有してPCIバス20上にリードアクセス信号およびアドレスを転送する。ホストブリッジ3により転送されたリードアクセス信号およびアドレスは、PCIバス20を介してPCI/ISAブリッジ4に受け取られる。

【0041】

このとき、PCI/ISAブリッジ4では、PCIバス20を通じてリードアクセス信号とともに受け取ったアドレスと、アドレスレジスタ41のプリセットアドレスとが一致するか否かがアドレス比較回路42により判定される。そして、両アドレスがともに「0x0a00」として一致する場合、図3の(b3)に示すように、PCI/ISAブリッジ4では、データバッファ46にすでに存在する目的のデータ(「0x0a00」に対応する「データ0a」)が読み出され、そのデータがPCIバス20を経由してホストブリッジ3に送り返される。すなわち、プリセットアドレスと同じアドレスを指定したリードアクセスの際には、データバッファ46にすでにプリフェッチされたデータがヒットすることで即座にPCIバス20を経由してホストブリッジ3に送られ、リードアクセスのターゲットとなる特定のISAデバイス6に対してデータを直接読みに行く必要はない。このような同一アドレスの指定によりデータがヒットする確率は、アドレ

レジスタ41に比較的アクセス頻度の高いプリセットアドレスが保持されているために局所的に高くなりやすく、たとえばISAデバイス6を定期的に監視するためリードアクセスが行われる際に極めて高くなると言えよう。

【0042】

以上のようにしてPCI/ISAブリッジ4から目的とするデータを受け取ったホストブリッジ3は、最終的に図3の(b4)に示すように、FSB10を経由してアクセス元のCPU1にデータを送り届ける。これによりリードアクセスが完了してFSB10やPCIバス20が解放される。

【0043】

要するに、図3の(b1)~(b4)の順に実行する一連のプロセスによれば、CPU1から特定のISAデバイス6に対するリードアクセスに際してすでに目的とするデータがPCI/ISAブリッジ4にプリフェッチされており、PCI/ISAブリッジ4は、内部的にデータをデータバッファ46から読み出してホストブリッジ3に送るだけで良い。したがって、PCI/ISAブリッジ4は、リードアクセスのターゲットとなるISAデバイス6との間でISAバス30を介してデータなどをやり取りする必要が無く、バス全体としては、PCI/ISAブリッジ4より下位のISAバス30が使用されない分、CPU1やホストブリッジ3に占有される時間が短くて通常よりも早期に解放される。

【0044】

一方、図4の(c1)に一例として示すように、CPU1上で特定のISAデバイス6(FDD6A)に対するリードアクセスが生じ、その際にCPU1からリードアクセス信号とともに送出されたFDD6Aのアドレス「0x0a01」がアドレスレジスタ41に存在しない場合もある。この場合も、FSB10を通じてリードアクセス信号およびアドレスを受けたホストブリッジ3は、図4の(c2)に示すように、PCIバス20を占有してPCIバス20上にリードアクセス信号およびアドレスを転送する。ホストブリッジ3により転送されたリードアクセス信号およびアドレスは、PCIバス20を介してPCI/ISAブリッジ4に受け取られる。

【0045】

このとき、PCI/ISAブリッジ4では、PCIバス20を通じてリードアクセス信号とともに受け取ったアドレス「0x0a01」と、アドレスレジスタ41のプリセットアドレスとが一致しないことがアドレス比較回路42により判定される。その結果、図4の(c3)に示すように、さらにPCI/ISAブリッジ4は、ISAバス30を占有し、このISAバス30を経由してリードアクセスのターゲットとなるFDD6Aにリードアクセス信号およびアドレスを転送する。

【0046】

リードアクセス信号およびアドレスを受けたFDD6Aでは、図4の(c4)に示すように、そのアドレス「0x0a01」に対応する制御レジスタから「データb1」が読み出され、そのデータが再びISAバス30を経由してPCI/ISAブリッジ4に送り届けられる。

【0047】

そうして目的とするデータをFDD6Aから受け取ったPCI/ISAブリッジ4は、図4の(c5)に示すように、PCIバス20を経由してホストブリッジ3にデータを送り返す。すなわち、プリセットアドレスに一致しないアドレスを指定したリードアクセスの際には、データバッファ46にプリフェッチされたデータがヒットしない状態とされ、通常通りにリードアクセスのターゲットとなる特定のISAデバイス6まで直接データが読みに行かれる。

【0048】

そして、PCI/ISAブリッジ4から目的とするデータを受け取ったホストブリッジ3は、最終的に図4の(c6)に示すように、FSB10を経由してアクセス元のCPU1にデータを送り届ける。これによりリードアクセスが完了してFSB10やPCIバス20、ISAバス30が解放される。

【0049】

要するに、図4の(c1)～(c6)の順に実行する一連のプロセスによれば、目的とするデータがPCI/ISAブリッジ4にプリフェッチされていないため、通常通りにターゲットとなるISAデバイス6までバス10～30やブリッジ3、4を経由してデータが読みに行かれ、その分、図3の(b1)～(b4)

のプロセスよりもデータ転送時間が長くなる。なお、プロセス全体としては、従来と同程度のデータ転送時間をするプロセス（図4の（c1）～（c6））が常に発生するわけなく、データ転送時間が短くなるプロセス（図3の（b1）～（b4））が高い確率で発生するので、リードアクセスの平均的なデータ転送時間としては総じて短くなる。

【0050】

したがって、本実施形態に係るPCI／ISAブリッジ4によれば、リードアクセスのターゲットとなるISAデバイス6からすでに目的とするデータをプリフェッチしてバッファリングしていれば、そのデータをレスポンスとして即座に返すことができる。すなわち、ISAバス30を介してリードアクセス信号やアドレス、さらにはデータなどがやり取りされないプロセスがあり、そのようなプロセスではPCIバス20が早期に解放されるので、バス全体としてはレイテンシが平均的に小さくなり、ひいてはデータ転送速度が総じて向上することとなる。

【0051】

なお、本発明は、上記の実施形態に限定されるものではない。

【0052】

本発明に係るデータ転送制御装置は、マザーボード上のバス同士を接続するバスブリッジ以外にも適用可能である。たとえば図5に示すように、コンピュータ本体100にケーブル200を介してプリンタ300が接続されている場合、コンピュータ本体100内部のバス（図示省略）と、外部バスとしてのケーブル200との間でデータなどをやり取りする入出力インターフェイスとしてのI/Oコントローラ110に本発明に係るデータ転送制御装置の機能を設けるようにしても良い。このようなI/Oコントローラ110は、たとえばPCI／ISAブリッジ4内部のプロセッサバスとケーブル200との間に位置するよう、PCI／ISAブリッジ4の内部に内蔵されるタイプのほか、たとえばISAバス30とケーブル200との間に位置してマザーボード上に直接搭載されるチップタイプや、ISAバス30に拡張コネクタを介して接続されるライザカード上のチップタイプがあるが、いずれであっても良い。

【0053】

アドレスレジスタ41には、比較的アクセス頻度の高いプリセットアドレスが予め保持されているが、たとえばPCI/ISAブリッジ4自体がアクセスパターンのログなどを取得する機能を備え、そのアクセスパターンのログから実動上アクセス頻度の高いアドレスを求めて随時更新するようにしても良い。

【0054】

上記実施形態では、最下位のISAデバイス6をターゲットしたリードアクセスのケースを想定したが、ホストブリッジ3もPCI/ISAブリッジ4と同様の構成からなるため、CPU1からホストブリッジ3を介してPCIデバイス5にリードアクセスが行われる場合にも上記実施形態と同様の効果が得られる。つまり、PCIデバイス5に対するリードアクセスの際には、そのPCIデバイス5からすでに目的とするデータがホストブリッジ3でプリフェッチされていることがある。そうすると、PCIバス20を介してデータなどがやり取りされることもなくFSB10が早期に解放されるので、この場合にも、バス全体としてはレイテンシが平均的に小さくなり、ひいてはデータ転送速度を向上させることができる。

【0055】

また、CPU1からのリードアクセスに限らず、たとえばホストブリッジ3にDMA(Direct Memory Access)コントローラが備えられ、このDMAコントローラからのリードアクセスに応じてメモリとISAデバイス6との間で直接データがやり取りされるような場合にも同様の効果を得ることができる。

【0056】

アドレスレジスタ41のプリセットアドレスは、各デバイス6A~6Cごとに一つのアドレスに限らず、アドレスレジスタ41のサイズに応じて各デバイス6A~6Cごとに任意数のプリセットアドレスを保持するようにしても良い。

【0057】

【発明の効果】

以上説明したように、本発明によれば、たとえばコンピュータ内部の高速バス上から低速バス上の周辺デバイスに対してリードアクセスがなされ、その際に指

定されたアドレスに基づき周辺デバイスのデータが事前にプリフェッчされている場合、周辺デバイスとの間で低速バスを介してリードアクセスやデータ転送が行われることはなく、プリフェッチ済みのデータが高速バス上に送り返される。つまり、高速バスと低速バスとの間で目的とするデータがすでに得られていれば、そのデータがレスポンスとして即座に返され、その分、低速バスを介してデータなどがやり取りされることなく高速バスが早期に解放されるので、バス全体にわたるレイテンシができる限り小さくすることができ、データ転送速度を向上させることができる。

【図面の簡単な説明】

【図1】

本発明のデータ転送制御装置を含む一例としてのバス構成図である。

【図2】

PCI／ISAブリッジの内部構成を示すブロック図である。

【図3】

PCI／ISAブリッジの動作を模式的に説明するための模式図である。

【図4】

PCI／ISAブリッジの動作を模式的に説明するための模式図である。

【図5】

本発明のデータ転送制御装置を含む他の例としてのシステム構成図である。

【符号の説明】

- 1 CPU
- 2 メモリ
- 3 ホストブリッジ
- 4 PCI／ISAブリッジ
- 5 PCIデバイス
- 6 ISAデバイス
- 10 FSB（フロントサイドバス）
- 20 PCIバス
- 30 ISAバス

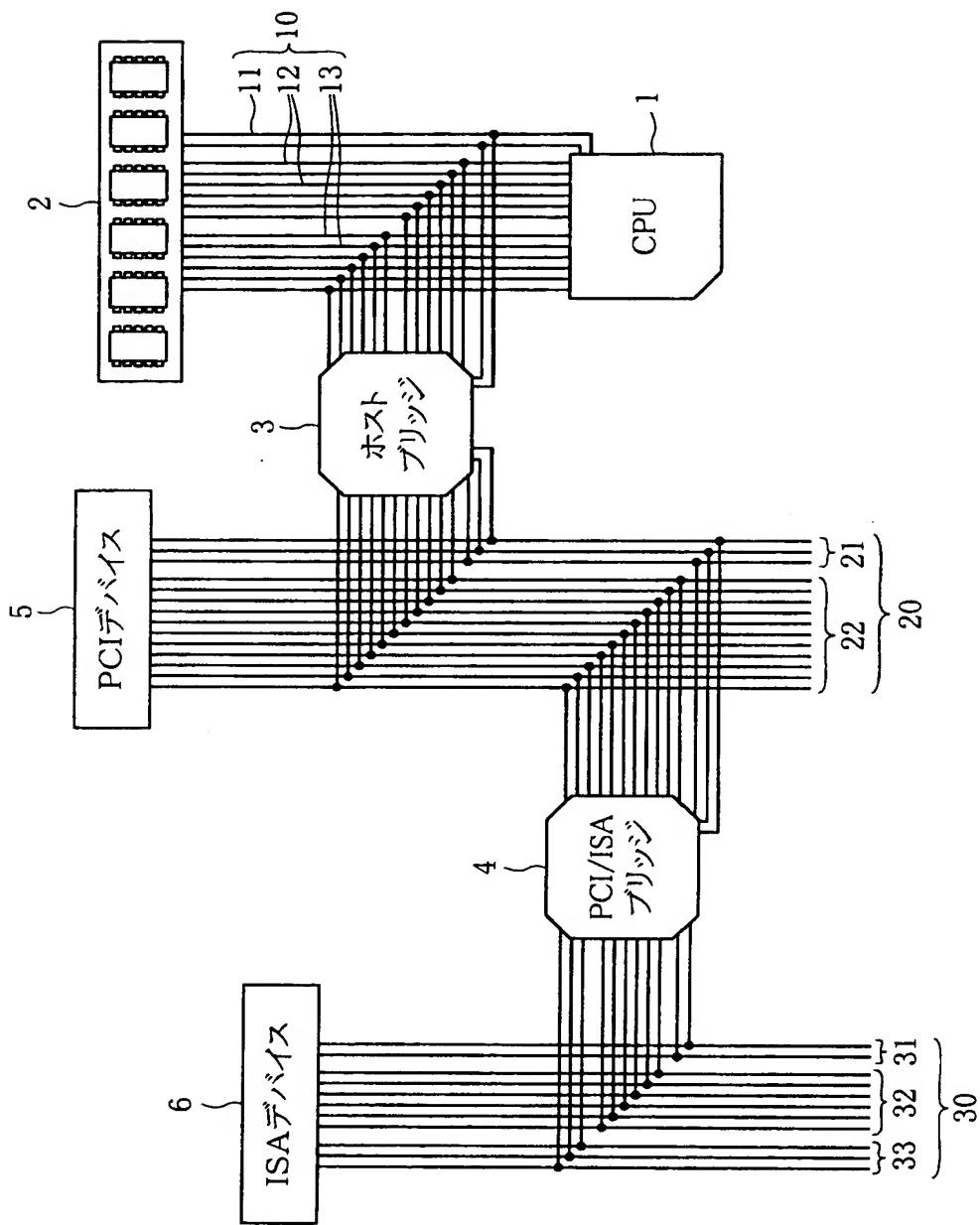
- 4 0 制御コア回路（プリフェッヂ手段、直接応答手段）
- 4 1 アドレスレジスタ（アドレス保持手段）
- 4 2 アドレス比較回路
- 4 3 アドレスジェネレータ
- 4 4 タイマクロックジェネレータ
- 4 5 データバストランシーバ回路
- 4 6 データバッファ

【書類名】

図面

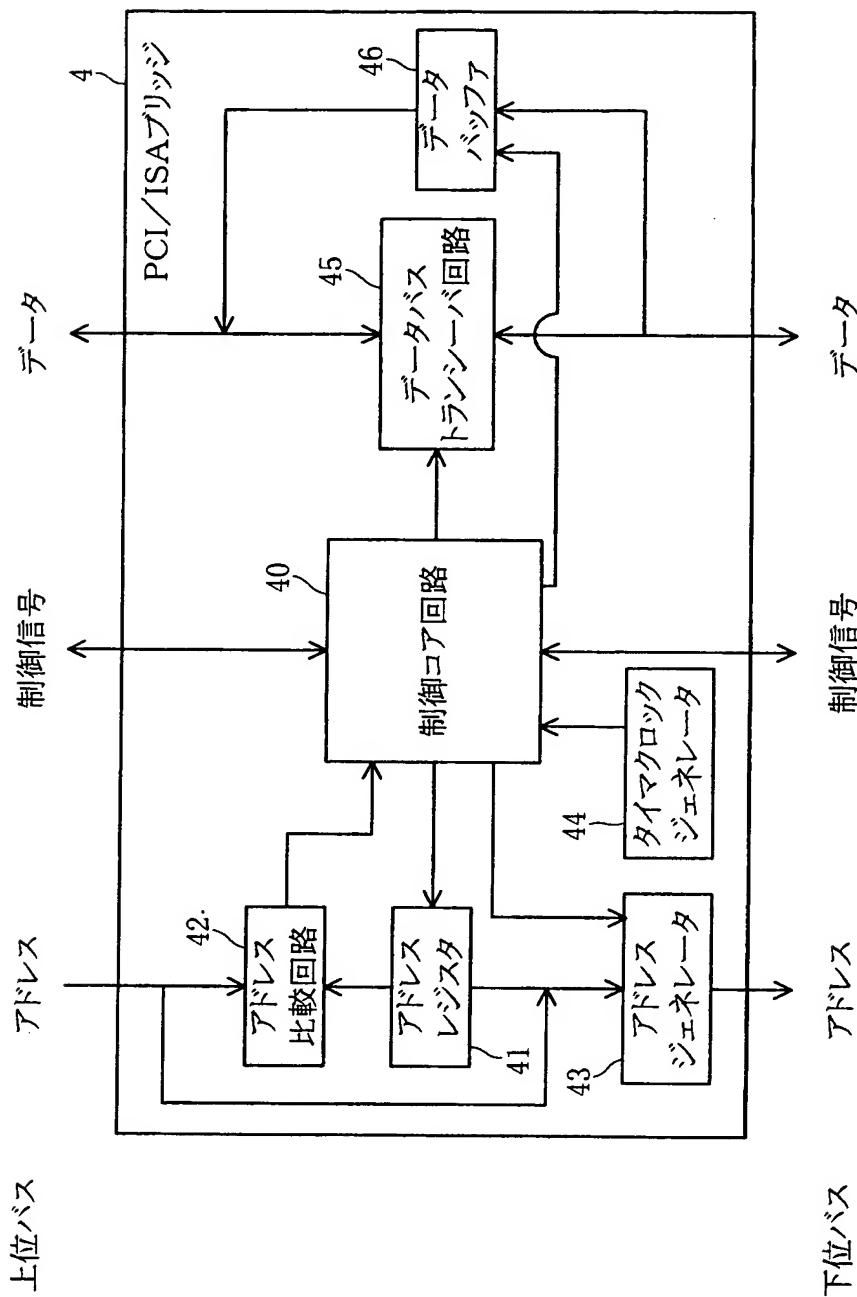
【図1】

本発明のデータ転送制御装置を含む一例としてのバス構成図



【図2】

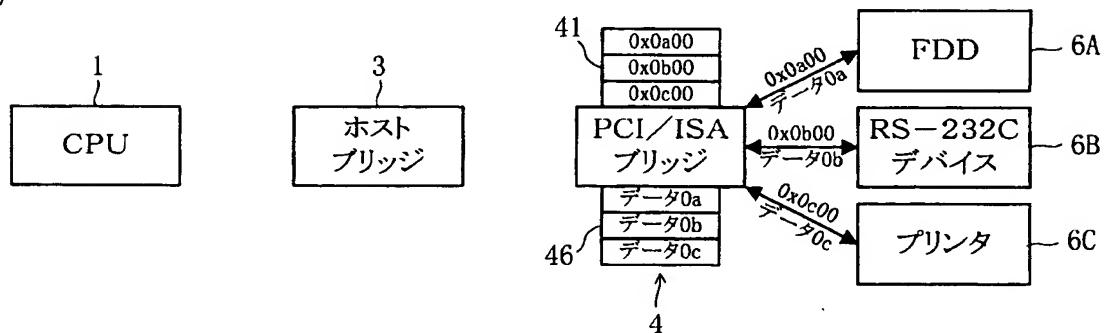
PCI/ISAブリッジの内部構成を示すブロック図



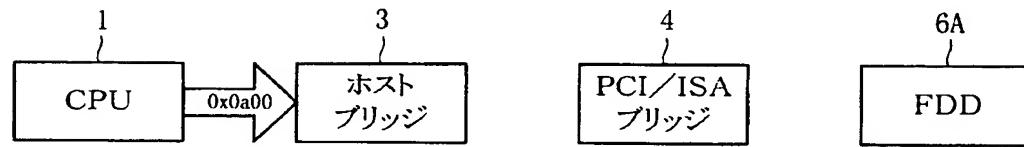
【図3】

PCI/ISAブリッジの動作を模式的に説明するための模式図

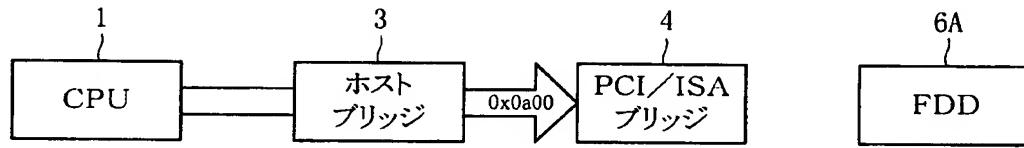
(a)



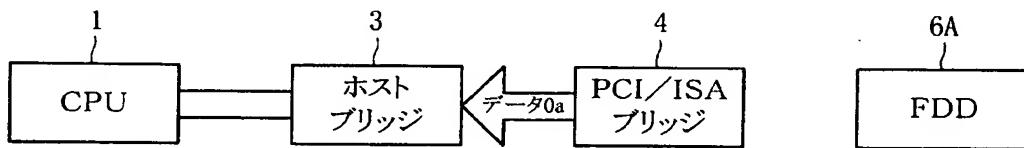
(b1)



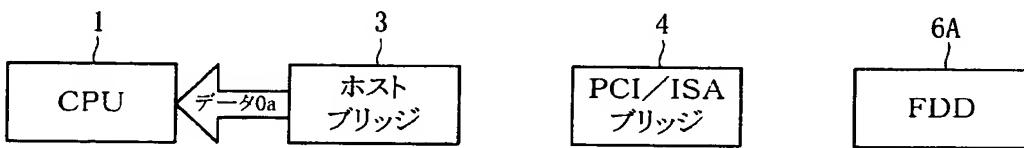
(b2)



(b3)



(b4)



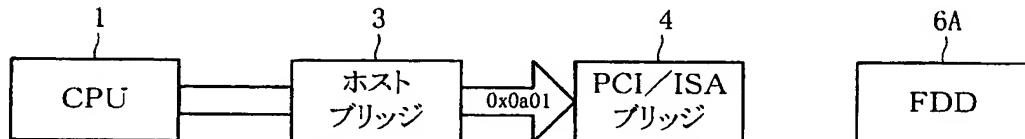
【図4】

PCI/ISAブリッジの動作を模式的に説明するための模式図

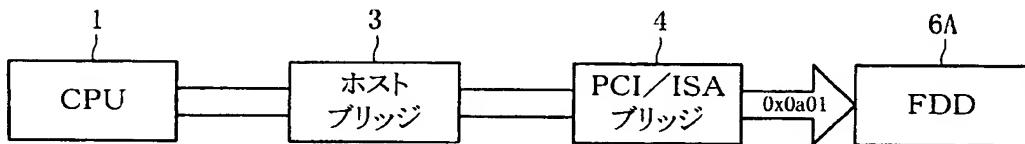
(c1)



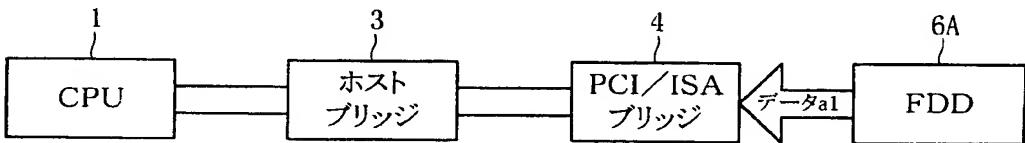
(c2)



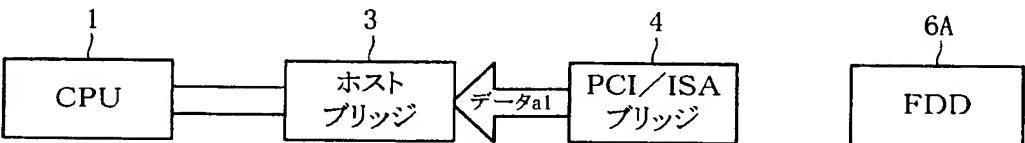
(c3)



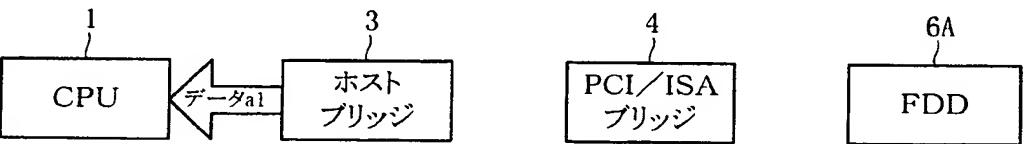
(c4)



(c5)

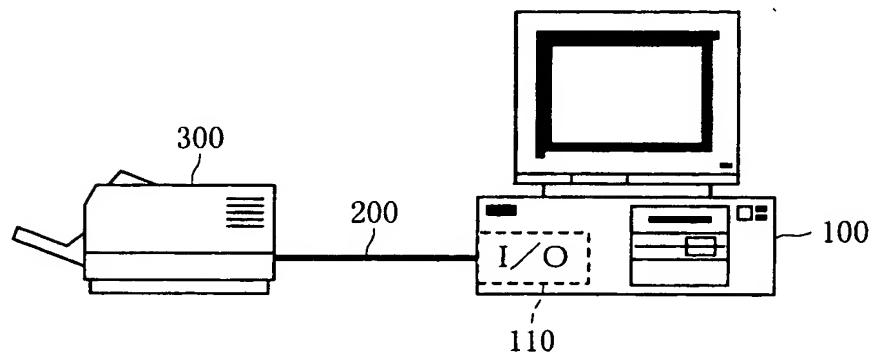


(c6)



【図5】

本発明のデータ転送制御装置を含む他の例としてのシステム構成図



【書類名】 要約書

【要約】

【課題】 バス全体にわたるレイテンシができる限り小さくし、データ転送速度を向上させることができるようにする。

【解決手段】 データ転送レートの異なるPCIバスとISAバスとを接続し、これらのバス間でデータを受け渡しするPCI/ISAブリッジ4であって、このPCI/ISAブリッジ4には、ISAバス上のISAデバイスに割り当てられたアドレスを保持するアドレスレジスタ41と、アドレスレジスタ41のアドレスを指定し、ISAデバイスから周期的にデータを読み出してデータバッファ46に確保しておき、PCIバス上からのISAデバイスに対するリードアクセスに伴い、アドレスレジスタ41のアドレスと同一のアドレスが指定された場合、そのアドレスに基づきすでにデータバッファ45に確保されたデータをPCIバス上に送り返す制御コア回路40とが備えられている。

【選択図】 図2

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社

出願人履歴情報

識別番号 [592019877]

1. 変更年月日 1999年 9月22日

[変更理由] 住所変更

住 所 兵庫県加東郡社町佐保35番
氏 名 富士通周辺機株式会社